

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-284532

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

H04N 9/89

H04N 5/95

H04N 9/80

(21)Application number : 04-077158

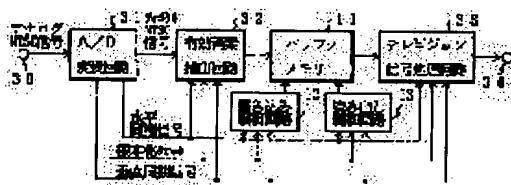
(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 31.03.1992

(72)Inventor : NISHIMURA SHINJI
TSUCHIYA TOSHIO**(54) METHOD FOR EXTRACTING EFFECTIVE PICTURE ELEMENT OF DIGITAL TELEVISION SIGNAL****(57)Abstract:**

PURPOSE: To extract the number of effective picture elements and to secure the signal processing time with a horizontal synchronizing signal as the timing reference without an influence of horizontal jitter in a digital television signal processor.

CONSTITUTION: The horizontal synchronizing signal inputted for every line is taken as the timing reference, and effective picture element data is extracted from the video signal section by an effective picture element extracting circuit 32 and is written in a buffer memory 11, and read of this effective picture element data from the buffer memory 11 is so controlled that this read is started in the period from the leading edge of the horizontal synchronizing signal of the next line to the extraction timing of the first effective picture element of the video signal section in the circuit 32 and is terminated before the extraction timing of the last effective picture element of the video signal section.

**LEGAL STATUS**

[Date of request for examination] 02.06.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2669514

[Date of registration] 04.07.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項 1】 水平同期信号、垂直同期信号およびカラーバースト信号を含む同期信号区間と、輝度信号および色信号を含む映像信号区間とにより構成されるテレビジョン信号から、デジタル信号処理に供する有効画素データを抽出するデジタルテレビジョン信号の有効画素抽出方法において、

ラインごとに入力される水平同期信号をタイミング基準として、その映像信号区間から有効画素データを抽出してバッファメモリに書き込み、

次ラインの水平同期信号の前縁から映像信号区間の先頭有効画素の抽出タイミングまでの間に、前記バッファメモリからその有効画素データの読み出しを開始し、前記映像信号区間の最終有効画素の抽出タイミング前にその有効画素データの読み出しを終了することを特徴とするデジタルテレビジョン信号の有効画素抽出方法。

【請求項 2】 水平同期信号、垂直同期信号およびカラーバースト信号を含む同期信号区間と、輝度信号および色信号を含む映像信号区間とにより構成されるテレビジョン信号から、デジタル信号処理に供する有効画素データを抽出するデジタルテレビジョン信号の有効画素抽出方法において、

ラインごとに入力される水平同期信号の前縁から映像信号区間の先頭有効画素までの水平同期信号期間内で水平同期信号を遅延させ、その水平同期信号をタイミング基準として、前記有効画素データの抽出および前記デジタル信号処理を行うことを特徴とするデジタルテレビジョン信号の有効画素抽出方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、家庭用簡易ビデオテープレコーダ（VTR）やビデオディスク（VD）の再生を行うデジタルテレビジョン信号処理装置において、水平同期信号をタイミング基準として、1ラインごとの有効画素を抽出するデジタルテレビジョン信号の有効画素抽出方法に関する。特に、再生信号等における水平ジッタの影響を回避することができる有効画素抽出方法に関する。

【0002】

【従来の技術】 VTR再生信号等処理するデジタルテレビジョン信号処理装置は、水平同期信号の前縁をラインごとの信号処理タイミングの基準とし、それに引き続く映像信号区間から有効画素データを抽出してデジタル信号処理を行っている。

【0003】 図3は、従来のデジタルテレビジョン信号処理装置の構成および有効画素の抽出区間とデジタル信号処理区間を示す図である。図3(a)において、従来のデジタルテレビジョン信号処理装置は、アナログ・デジタル（A/D）変換回路31、有効画素抽出回路32およびテレビジョン信号処理回路33により構成

される。

【0004】 A/D変換回路31は、入力端子30から入力されるアナログNTSC信号を例えばCCIR勧告601に従って13.5MHzで標準化し、デジタルNTSC信号に変換して有効画素抽出回路32に送出する。このとき、A/D変換回路31は、その標準化クロック、水平同期信号および垂直同期信号を有効画素抽出回路32およびテレビジョン信号処理回路33に送出する。有効画素抽出回路32は、標準化クロック、水平同期信号および垂直同期信号に基づいて動作し、A/D変換回路31から出力されるデジタルNTSC信号から1ラインごとに入力される有効画素データを抽出してテレビジョン信号処理回路33に送出する。テレビジョン信号処理回路33も同様に標準化クロック、水平同期信号および垂直同期信号に基づいて動作し、有効画素抽出回路32から出力される有効画素データについて所定のデジタル信号処理を行い、得られる映像信号を出力端子34に送出する。

【0005】 図3(b)において、(1)は有効画素抽出回路32に入力されるデジタルNTSC信号の波形を示し、1ライン分の水平同期信号①、カラーバースト信号②、映像信号③と、次ライン分の水平同期信号④とを示す。なお、1ライン期間内の総画素数は、標準化クロックを13.5MHzとすると858である。

【0006】 (2)～(10)は、有効画素抽出回路32において、連続したラインの水平同期信号の前縁を基準とした1ライン期間内の有効画素データの抽出・処理期間を網かけで示したものである。すなわち、水平同期信号①の前縁をタイミング基準として、122画素目から841画素目までの720画素を有効画素データとして抽出する。テレビジョン信号処理回路33では、有効画素抽出回路32で抽出された有効画素データについて、水平同期信号①の前縁をタイミング基準として122画素目から841画素目までの間に所定のデジタル信号処理を行うようになっている。

【0007】

【発明が解決しようとする課題】 ところで、VTR再生信号等には水平ジッタがあり、ライン周期が変動する。ここで、1ライン期間が±2%以上変動すると、図3(b)(8)に示す(n+6)ラインのように総画素数が841未満となり、必要な有効画素数720が確保できなくなる。さらに、(n+6)ラインの処理では有効画素区間の時間が短いので、この区間内に行われるすべての信号処理が途中で打ち切れ、次の(n+7)ラインの水平同期信号の入力に基づいてそのラインの処理に移行してしまう。特に、フレーム間復号化などのように所定のデジタル信号処理を行う場合には、このような水平ジッタによるライン周期の変動があれば、その悪影響が複数ラインに波及することになり、映像品質を顕著に劣化させる原因となっていた。

【0008】一方、水平ジッタに起因するこの種の問題を解決する手段として、タイムベースコレクタが使用されているが、装置構成が複雑になるとともに高価になる欠点があった。

【0009】本発明は、1ライン期間の時間変動（水平ジッタ）に影響されることなく、有効画素数の抽出と、その信号処理時間の確保を図ることができるデジタルテレビジョン信号の有効画素抽出方法を提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1に記載の発明は、ラインごとに入力される水平同期信号をタイミング基準として、その映像信号区間から有効画素データを抽出してバッファメモリに書き込み、次ラインの水平同期信号の前縁から映像信号区間の先頭有効画素の抽出タイミングまでの間に、バッファメモリからその有効画素データの読み出しを開始し、映像信号区間の最終有効画素の抽出タイミング前にその有効画素データの読み出しを終了する。

【0011】請求項2に記載の発明は、ラインごとに入力される水平同期信号の前縁から映像信号区間の先頭有効画素までの水平同期信号期間内で水平同期信号を遅延させ、その水平同期信号をタイミング基準として、有効画素データの抽出およびデジタル信号処理を行う。

【0012】

【作用】請求項1に記載の発明では、ラインごとに抽出した有効画素データを一旦バッファメモリに書き込み、その読み出しを次ラインの水平同期信号の前縁から映像信号区間の先頭有効画素の抽出タイミングまでの間に開始し、映像信号区間の最終有効画素の抽出タイミング前までに終了する。したがって、水平ジッタによって有効画素データのすべてを抽出できない場合でも、抽出できなかった有効画素データをそれ以前のラインの有効画素データを用いて補間させることができる。すなわち、見掛け上1ラインの有効画素データのすべてを抽出することができ、またその時間をデジタル信号処理にあてることができる。

【0013】請求項2に記載の発明では、入力される水平同期信号をその水平同期信号期間内で遅延させ、その遅延させた水平同期信号をタイミング基準として有効画素データの抽出およびデジタル信号処理を行う。したがって、水平ジッタによって有効画素データのすべてを抽出できない場合でも、抽出できなかった有効画素データを次ラインの水平同期信号区間から補間させることができる。すなわち、見掛け上1ラインの有効画素データのすべてを抽出することができ、またその時間をデジタル信号処理にあてることができる。

【0014】

【実施例】図1は、請求項1に記載の発明を実現するデジタルテレビジョン信号処理装置の構成および有効画

素の抽出区間とデジタル信号処理区間を示す図である。

【0015】図1(a)において、本実施例のデジタルテレビジョン信号処理装置は、従来装置と同様のアナログ・デジタル(A/D)変換回路31、有効画素抽出回路32およびテレビジョン信号処理回路33に加えて、有効画素抽出回路32とテレビジョン信号処理回路33との間にバッファメモリ11を配置し、その書き込み制御回路12および読み出し制御回路13を備えた構成である。

【0016】A/D変換回路31は、入力端子30から入力されるアナログNTSC信号を例えばCCI R勧告601に従って13.5MHzで標準化し、デジタルNTSC信号に変換して有効画素抽出回路32に送出する。このとき、A/D変換回路31は、その標準化クロック、水平同期信号および垂直同期信号を有効画素抽出回路32、書き込み制御回路12、読み出し制御回路13およびテレビジョン信号処理回路33に送出する。有効画素抽出回路32は、標準化クロック、水平同期信号および垂直同期信号に基づいて動作し、A/D変換回路31から出力されるデジタルNTSC信号から1ラインごとに有効画素データを抽出してバッファメモリ11に送出する。バッファメモリ11は、書き込み制御回路12の制御によってその有効画素データを書き込み、読み出し制御回路13の制御によって読み出した有効画素データをテレビジョン信号処理回路33に送出する。テレビジョン信号処理回路33も同様に標準化クロック、水平同期信号および垂直同期信号に基づいて動作し、バッファメモリ11から読み出された有効画素データについて所定のデジタル信号処理を行い、得られる画像信号を出力端子34に送出する。

【0017】図1(b)において、(1)は有効画素抽出回路32に入力されるデジタルNTSC信号の波形を示し、1ライン分の水平同期信号①、カラーバースト信号②、映像信号③と、次ライン分の水平同期信号④、カラーバースト信号⑤、映像信号⑥とを示す。なお、1ライン期間内の総画素数は、標準化クロックを13.5MHzとすると858である。

【0018】(2)～(10)は、有効画素抽出回路32において、連続したラインの水平同期信号の前縁を基準とした1ライン期間内の有効画素データの抽出・処理期間を網かけで示したものである。すなわち、水平同期信号①の前縁をタイミング基準として、122画素目から841画素目までの720画素を有効画素データとして抽出する。

【0019】有効画素抽出回路32で抽出された有効画素データは、書き込み制御回路12によって、水平同期信号①の前縁をタイミング基準として、122画素目から841画素目までの間にバッファメモリ11に書き込まれる。バッファメモリ11に書き込まれた有効画素データは、読み出し制御回路13によって、次ラインの水平同

期信号④の前縁をタイミング基準として、1画素目から720画素目までの間に読み出される。テレビジョン信号処理回路33では、バッファメモリ11から読み出された有効画素データについて、水平同期信号④の前縁をタイミング基準として、1画素目から720画素目までの間に所定のデジタル信号処理を行うようになっている。

【0020】ここで、例えばVTR再生信号等の水平ジッタにより、1ライン期間が±2%以上変動した場合には、図1(b)(8)に示す(n+6)ラインのように、水平同期信号①の前縁を基準に122画素目から841画素目までの間に、720の有効画素データのすべてを抽出できなくなる。これは従来と同様であり、バッファメモリ11にも有効画素データのすべてを書き込めなくなる。しかし、このバッファメモリ11の領域には1ライン以前の有効画素データが残っている。

【0021】一方、読み出し制御回路13の制御によりバッファメモリ11からは、次ラインの水平同期信号④の前縁である1画素目から720画素目までの間に1ライン前の有効画素データのすべてを読み出すことができる。このとき、1ライン前で、有効画素データのすべてを書き込むことができなかった場合でも、2ライン以前の有効画素データでその部分を埋め合わせているので、見掛け上有効画素データのすべてをテレビジョン信号処理回路33に送出することができる。

【0022】このようなバッファメモリ11を使用することにより、本来858画素ある1ライン期間が最大±16%の水平ジッタによって720画素にまで短くなり、有効画素のすべてを単純に抽出できないラインが生じた場合でも、抽出できなかった有効画素データをそれ以前のラインから補間して対処することができる。したがって、他のラインに与える悪影響を最小限に抑えることができ、かつ信号処理時間も十分に確保することができる。

【0023】なお、バッファメモリ11からの読み出し開始タイミングは、映像信号区間の先頭有効画素前で水平同期信号の前縁に近いほど、許容できる水平ジッタ量を多くすることができる。

【0024】また、標準化クロックより高速のクロックでバッファメモリ11からの読み出しと、それ以降のテレビジョン信号処理回路33における信号処理とを行えば、許容できる水平ジッタ量をさらに多くすることができる。また、バッファメモリ11からの読み出しを水平同期信号の前縁からではなく有効画素区間から開始させることもできる。

【0025】図2は、請求項2に記載の発明を実現するデジタルテレビジョン信号処理装置の構成および有効画素の抽出区間とデジタル信号処理区間を示す図である。図2(a)において、本実施例のデジタルテレビジョン信号処理装置は、従来装置と同様のアナログ・デジタル(A/D)変換回路31、有効画素抽出回路32およびテレビジョン信号処理回路33に加えて、有効画

素抽出回路32およびテレビジョン信号処理回路33に与える水平同期信号に遅延を与える遅延回路21を備えた構成である。

【0026】A/D変換回路31は、入力端子30から入力されるアナログNTSC信号を例えばCCIR勧告601に従って13.5MHzで標準化し、デジタルNTSC信号に変換して有効画素抽出回路32に送出する。このとき、A/D変換回路31は、その標準化クロックおよび垂直同期信号と、遅延回路21を介して水平同期信号を有効画素抽出回路32およびテレビジョン信号処理回路33に送出する。有効画素抽出回路32は、標準化クロック、垂直同期信号および遅延した水平同期信号に基づいて動作し、A/D変換回路31から出力されるデジタルNTSC信号から1ラインごとに有効画素データを抽出してテレビジョン信号処理回路33に送出する。テレビジョン信号処理回路33も同様に標準化クロック、垂直同期信号および遅延した水平同期信号に基づいて動作し、有効画素抽出回路32から出力された有効画素データについて所定のデジタル信号処理を行い、得られる画像信号を出力端子34に送出する。

【0027】図2(b)において、(1)は有効画素抽出回路32に入力されるデジタルNTSC信号の波形を示し、1ライン分の水平同期信号①、カラーバースト②、映像信号③と、次ライン分の水平同期信号④とを示す。なお、1ライン期間内の総画素数は、標準化クロックを13.5MHzとすると858である。

【0028】(2)~(10)は、有効画素抽出回路32において、連続したラインの水平同期信号の前縁を基準とした1ライン期間内の有効画素データの抽出・処理期間を網かけで示したものである。ここで、遅延回路21は、水平同期信号①の前縁を基準に、例えば121画素分遅延させた水平同期信号を生成して有効画素抽出回路32およびテレビジョン信号処理回路33に与える。これにより、有効画素抽出回路32では、遅延させた水平同期信号の前縁をタイミング基準として、1画素目から720画素目までを有効画素データとして抽出することができる。テレビジョン信号処理回路33では、有効画素抽出回路32から出力された有効画素データについて、遅延回路21により121画素分遅延させられた水平同期信号の前縁をタイミング基準として、1画素目から720画素目までの間に所定のデジタル信号処理を行うことができる。

【0029】ここで、例えばVTR再生信号等の水平ジッタにより、1ライン期間が±2%以上変動した場合でも、図2(b)(8)に示す(n+6)ラインのように、遅延回路21で121画素分遅延させた水平同期信号の前縁をタイミング基準にすれば、有効画素抽出回路32では有効画素データの1画素目から720画素目までのすべてを抽出することができる。ただし、例えば720画素目として抽出した最終有効画素データは、遅延回路21によ

り遅延させられる前の水平同期信号を基準にしてみると、次ラインの水平同期信号④の区間におけるデータを抽出したことになる。

【0030】このような遅延回路21で水平同期信号を遅延させて有効画素抽出回路32およびテレビジョン信号処理回路33に与えることにより、本来 858画素ある1ライン期間が最大±16%の水平ジッタによって720画素にまで短くなり、有効画素のすべてを単純に抽出できないラインが生じた場合でも、抽出できなかった有効画素データが次ラインの水平同期信号区間から補間して対処することができる。したがって、他のラインに与える悪影響を最小限に抑えることができ、かつ信号処理時間も十分に確保することができる。なお、水平同期信号の遅延量は、水平同期信号の前縁から映像信号区間の先頭有効画素までの121画素分に近いほど、許容できる水平ジッタ量を多くすることができる。

【0031】また、遅延回路21以外の回路では処理遅延がないものとして説明したが、水平同期信号や垂直同期信号に、有効画素抽出回路32やテレビジョン信号処理回路33における処理遅延を付加して所定の遅延量を決定する必要がある。

【0032】ところで、以上の説明では便宜上、テレビジョン信号をNTSC信号、標準化クロックを13.5MHzとしたが、テレビジョン信号としてはPAL信号やSECAM信号を用いることができる。また、標準化クロックとしては、例えばNTSC信号に対しては14.3MHzその他の周波数を用いることができる。

【0033】

【発明の効果】以上説明したように、請求項1に記載の発明では、ラインごとの有効画素データのバッファリングを行うバッファメモリを使用することにより、水平ジッタに起因するライン期間の変動によって有効画素のすべてを抽出できないラインが生じた場合でも、抽出できなかった有効画素データがそれ以前のラインから補間されるだけで、他のラインに与える悪影響を最小限に抑えることができ、かつそれ以降の信号処理時間も十分に確

保することができる。

【0034】また、請求項2に記載の発明では、有効画素の抽出やデジタル信号処理のタイミング基準とする水平同期信号について、入力される水平同期信号の前縁から映像信号区間の先頭有効画素までの水平同期信号期間内で遅延させることにより、水平ジッタに起因するライン期間の変動によって有効画素のすべてを抽出できないラインが生じた場合でも、抽出できなかった有効画素データが次ラインの水平同期信号区間から補間されるだけで、他のラインに与える悪影響を最小限に抑えることができ、かつ信号処理時間も十分に確保することができる。

【0035】いずれの場合でも、許容できる水平ジッタ量が従来の±2%に比べて大幅に拡大することができ、水平ジッタに起因する画像品質の劣化を最小限に抑えることができる。

【図面の簡単な説明】

【図1】請求項1に記載の発明を実現するデジタルテレビジョン信号処理装置の構成および有効画素の抽出区間とデジタル信号処理区間を示す図である。

【図2】請求項2に記載の発明を実現するデジタルテレビジョン信号処理装置の構成および有効画素の抽出区間とデジタル信号処理区間を示す図である。

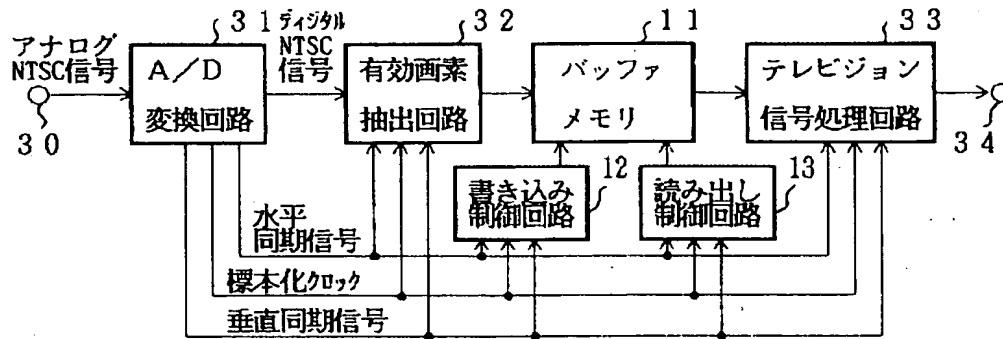
【図3】従来のデジタルテレビジョン信号処理装置の構成および有効画素の抽出区間とデジタル信号処理区間を示す図である。

【符号の説明】

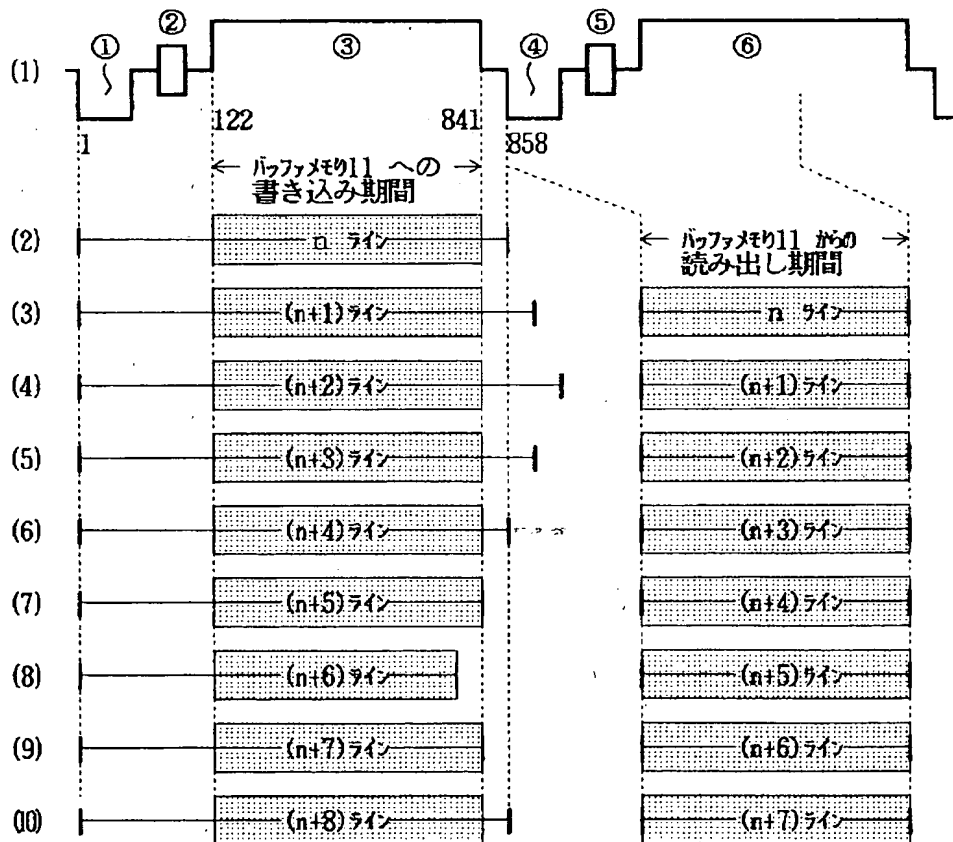
- 11 バッファメモリ
- 12 書き込み制御回路
- 13 読み出し制御回路
- 21 遅延回路
- 30 入力端子
- 31 アナログ・デジタル(A/D)変換回路
- 32 有効画素抽出回路
- 33 テレビジョン信号処理回路
- 34 出力端子

【図1】

(a) 請求項1に記載の発明によるデジタルテレビジョン信号処理装置の構成

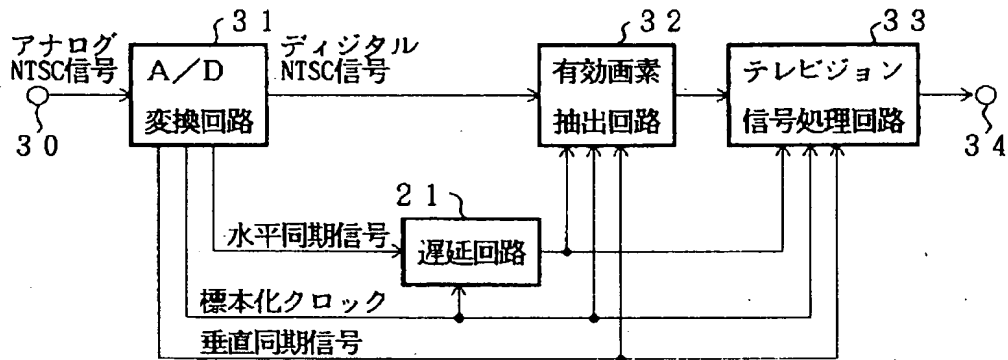


(b) 有効画素の抽出区間とデジタル信号処理区間

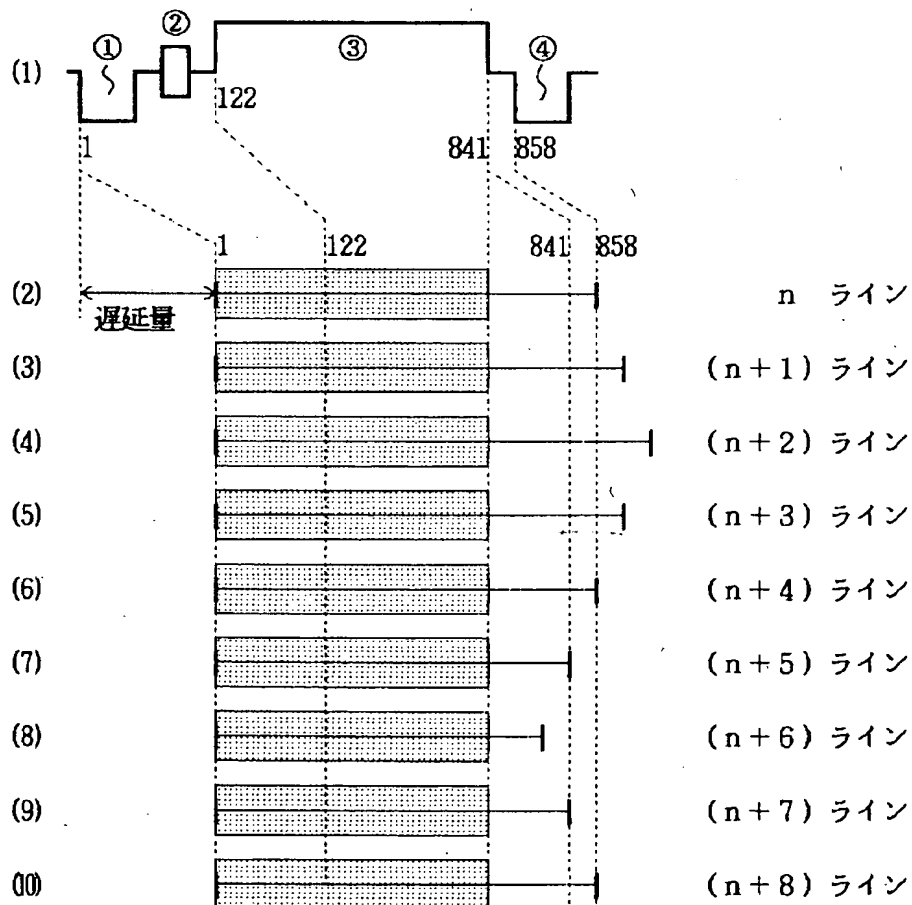


【図2】

(a) 請求項2に記載の発明によるデジタルテレビジョン信号処理装置の構成

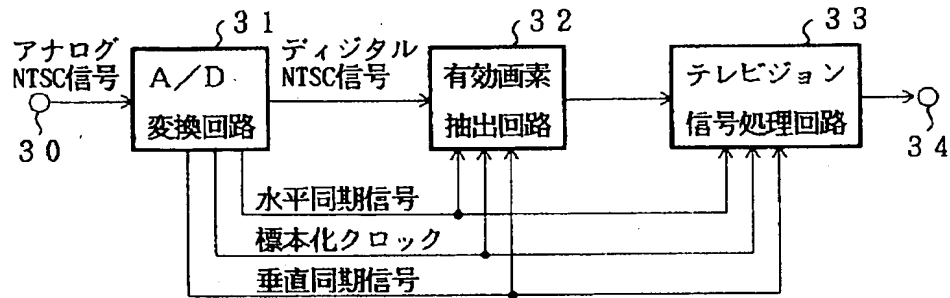


(b) 有効画素の抽出区間とデジタル信号処理区間

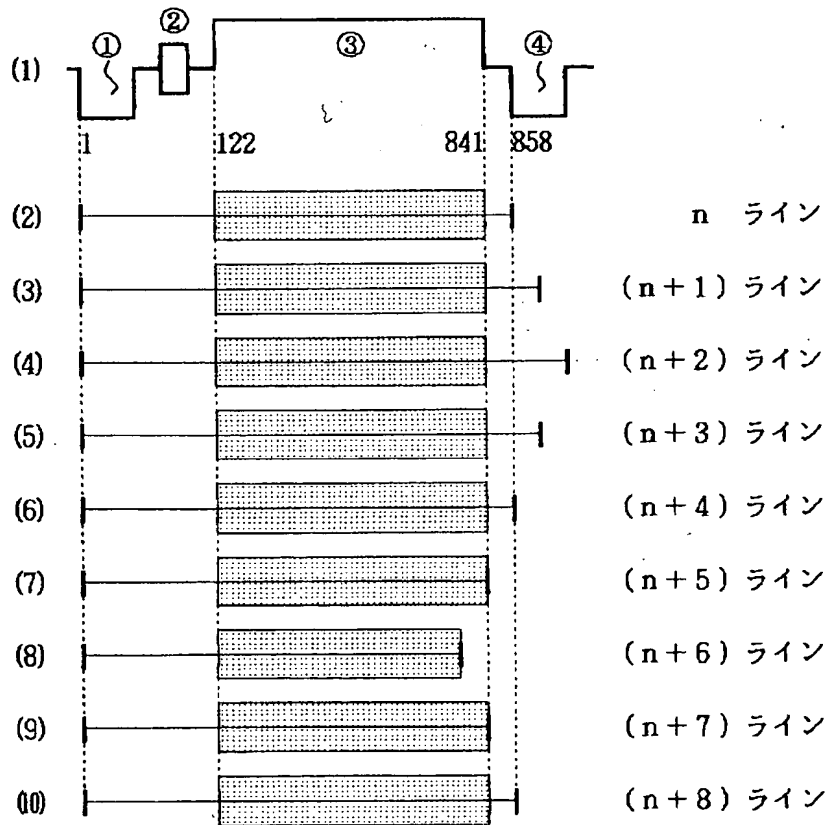


【図3】

(a) 従来のデジタルテレビジョン信号処理装置の構成



(b) 従来の有効画素の抽出区間とデジタル信号処理区間



Japanese Patent Publication Laid-Open No. 05-284532

[Claim(s)]

[Claim 1] In the effective pixel extraction method of a digital television signal characterized by providing the following of extracting the effective pixel data with which digital signal processing is presented from the television signal constituted by the video-signal section Extract effective pixel data from the video-signal section by making into timing criteria the horizontal synchronizing signal inputted for every Rhine, and it writes in buffer memory. From the first transition of the horizontal synchronizing signal of the following line before the timing extraction of the head effective pixel of the video-signal section The effective pixel extraction method of the digital television signal characterized by starting read-out of the effective pixel data from the aforementioned buffer memory, and ending read-out of the effective pixel data before the timing extraction of the last effective pixel of the aforementioned video-signal section The synchronizing signal section containing a horizontal synchronizing signal, a vertical synchronizing signal, and a color burst signal A luminance signal and a chrominance signal

[Claim 2] In the effective pixel extraction method of a digital television signal characterized by providing the following of extracting the effective pixel data with which digital signal processing is presented from the television signal constituted by the video-signal section Delay a horizontal synchronizing signal within the horizontal synchronizing signal period from the first transition of the horizontal synchronizing signal inputted for every Rhine to the head effective pixel of the video-signal section, and the horizontal synchronizing signal is made into timing criteria. The effective pixel extraction method of the digital television signal characterized by performing extraction and the aforementioned digital signal processing of the aforementioned effective pixel data The synchronizing signal section containing a horizontal synchronizing signal, a vertical synchronizing signal, and a color burst signal A luminance signal and a chrominance signal.

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the effective pixel extraction method of a digital television signal of extracting the effective pixel in every line, by making a horizontal synchronizing signal into timing criteria in the digital television signal processor which performs reproduction of a home simple video tape recorder (VTR) or a videodisk (VD). It is related with the effective pixel extraction method that the influence of the level jitter in a regenerative signal etc. is avoidable especially.

[0002]

[Description of the Prior Art] The digital television signal processor which processes a VTR regenerative signal etc. makes first transition of a horizontal synchronizing signal the criteria of the signal-processing timing for every Rhine, extracts effective pixel data from the video-signal section which follows it, and is performing digital signal processing.

[0003] Drawing 3 is drawing showing the composition of the conventional digital television signal processor, and the extraction section and the digital-signal-processing section of an effective pixel. Drawing 3 (a) It sets and the conventional digital television signal processor is constituted by the analog-to-digital (A/D) conversion circuit 31, the effective pixel extraction circuit 32, and the television-signal-processing circuit 33.

[0004] The analog NTSC signal inputted from an input terminal 30 is sampled by 13.5MHz according to the CCIR advice 601, is changed into a digital NTSC signal, and the A/D-conversion circuit 31 sends it out to the effective pixel extraction circuit 32. At this time, the A/D-conversion circuit 31 sends out the sampling clock, a horizontal synchronizing signal, and a vertical synchronizing signal to the effective pixel extraction circuit 32 and the television-signal-processing circuit 33. The effective pixel extraction circuit 32 operates based on a sampling clock, a horizontal synchronizing signal, and a vertical synchronizing signal, extracts effective pixel data from the digital NTSC signal outputted from the A/D-conversion circuit 31 for every line, and sends them out to the television-signal-processing circuit 33. Based on a sampling clock, a horizontal synchronizing signal, and a vertical synchronizing signal, it operates similarly, and the television-signal-processing circuit 33 also performs predetermined digital signal processing about the effective pixel data outputted from the effective pixel extraction circuit 32, and sends out the picture signal acquired to an output terminal 34.

[0005] Drawing 3 (b) It sets and is (1). The wave of the digital NTSC signal inputted into the effective pixel extraction circuit 32 is shown, and horizontal synchronizing signal [for one line] **, color burst signal **, video-signal **, and horizontal synchronizing signal ** for the following line are shown. In addition, the total number of pixels within an one-line period is if a sampling clock is set to 13.5MHz. It is 858.

[0006] (2) - (10) shows extraction / processing period of the effective pixel data within the one-line period on the basis of the first transition of the horizontal synchronizing signal of the continuous line by setting a net in the effective pixel extraction circuit 32. that is, let first transition of horizontal synchronizing signal ** be timing criteria -- from the 122nd pixel Up to the 841st pixel 720 pixels is extracted as effective pixel data. Let first transition of horizontal synchronizing signal ** be timing criteria in the television-signal-processing circuit 33 about the effective pixel data extracted in the effective pixel extraction circuit 32. From the 122nd pixel Predetermined digital signal processing is performed before the 841st pixel.

[0007]

[Problem(s) to be Solved by the Invention] By the way, there is a level jitter in a VTR regenerative signal, and a line period is changed. Here, when an one-line period is changed **2% or more, it is drawing 3 (b). (8) The total number of pixels like the line shown (n+6) It becomes less than 841 and they are 720 required effective pixels. It becomes impossible to secure. Furthermore, in processing of a line (n+6), since the time of the effective pixel section is short, all signal processing performed in this section will be closed on the way, and will shift to processing of the line based on the input of the horizontal synchronizing signal of the following line (n+7). When predetermined digital signal processing was especially performed like an inter-frame decryption and there was change of the line period by such level jitter, the bad influence will affect two or more lines, and had become the cause of degrading image quality notably.

[0008] As a means to, solve this kind resulting from a level jitter of problem on the other hand, although the time base collector was used, while the equipment configuration became complicated, there was a fault which becomes expensive.

[0009] this invention aims at offering the effective pixel extraction method of a digital television signal that extraction and reservation of signal-processing time of the number of effective pixels can be aimed at, without being influenced by the time variation (level jitter) of an one-line period.

[0010]

[Means for Solving the Problem] By making into timing criteria the horizontal synchronizing signal inputted for every Rhine, invention according to claim 1 extracts effective pixel data from the video-signal section, writes them in buffer memory, starts read-out of the effective pixel data from buffer memory, and ends read-out of the effective pixel data before the timing extraction of the last effective pixel of the video-signal section from the first transition of the horizontal synchronizing signal of the following line before the timing extraction of the head effective pixel of the video-signal section.

[0011] Invention according to claim 2 delays a horizontal synchronizing signal within the horizontal synchronizing signal period from the first transition of the horizontal synchronizing signal inputted for every Rhine to the head effective pixel of the video-signal section, and performs extraction and digital signal processing of effective pixel data by making the horizontal synchronizing signal into timing criteria.

[0012]

[Function] In invention according to claim 1, the effective pixel data extracted for every Rhine are once written in buffer memory, the read-out is started from the first transition of the horizontal synchronizing signal of the following line before the timing extraction of the head

effective pixel of the video-signal section, and it ends even before the timing extraction of the last effective pixel of the video-signal section. therefore, even when a level jitter cannot extract all the effective pixel data, the effective pixel data which have not been extracted are made to interpolate using the effective pixel data of the line before it -- things can be carried out That is, all the effective pixel data of one line can be extracted seemingly, and the time can be allotted to digital signal processing.

[0013] In invention according to claim 2, the horizontal synchronizing signal inputted is delayed within the horizontal synchronizing signal period, and extraction and digital signal processing of effective pixel data are performed for the delayed horizontal synchronizing signal as timing criteria. Therefore, even when a level jitter cannot extract all the effective pixel data, the effective pixel data which have not been extracted can be made to interpolate from the horizontal synchronizing signal section of the following line. That is, all the effective pixel data of one line can be extracted seemingly, and the time can be allotted to digital signal processing.

[0014]

[Example] Drawing 1 is drawing showing the composition of the digital television signal processor which realizes invention according to claim 1, and the extraction section and the digital-signal-processing section of an effective pixel.

[0015] drawing 1 (a) setting -- the digital television signal processor of this example -- the conventionally same analog-to-digital (A/D) conversion circuit 31 as equipment, the effective pixel extraction circuit 32, and the television-signal-processing circuit 33 -- in addition, it is the composition which has arranged buffer memory 11 between the effective pixel extraction circuit 32 and the television-signal-processing circuit 33, and equipped it with the write-in control circuit 12 and the read-out control circuit 13

[0016] The analog NTSC signal inputted from an input terminal 30 is sampled by 13.5MHz according to the CCIR advice 601, is changed into a digital NTSC signal, and the A/D-conversion circuit 31 sends it out to the effective pixel extraction circuit 32. At this time, the A/D-conversion circuit 31 sends out the sampling clock, a horizontal synchronizing signal, and a vertical synchronizing signal to the effective pixel extraction circuit 32, the write-in control circuit 12, the read-out control circuit 13, and the television-signal-processing circuit 33. The effective pixel extraction circuit 32 operates based on a sampling clock, a horizontal synchronizing signal, and a vertical synchronizing signal, extracts effective pixel data from the digital NTSC signal outputted from the A/D-conversion circuit 31 for every line, and sends them out to buffer memory 11. Buffer memory 11 writes in the effective pixel data by control of the write-in control circuit 12, and sends out the effective pixel data read by control of the read-out control circuit 13 to the television-signal-processing circuit 33. Based

on a sampling clock, a horizontal synchronizing signal, and a vertical synchronizing signal, it operates similarly, and the television-signal-processing circuit 33 also performs predetermined digital signal processing about the effective pixel data read from buffer memory 11, and sends out the picture signal acquired to an output terminal 34.

[0017] Drawing 1 (b) It sets and is (1). The wave of the digital NTSC signal inputted into the effective pixel extraction circuit 32 is shown, and horizontal synchronizing signal [for one line] **, color burst signal **, video-signal **, and horizontal synchronizing signal [for the following line] **, color burst signal ** and video-signal ** are shown. In addition, the total number of pixels within an one-line period is if a sampling clock is set to 13.5MHz. It is 858.

[0018] (2) - (10) shows extraction / processing period of the effective pixel data within the one-line period on the basis of the first transition of the horizontal synchronizing signal of the continuous line by setting a net in the effective pixel extraction circuit 32. that is, let first transition of horizontal synchronizing signal ** be timing criteria -- from the 122nd pixel Up to the 841st pixel 720 pixels is extracted as effective pixel data.

[0019] the effective pixel data extracted in the effective pixel extraction circuit 32 make timing criteria first transition of horizontal synchronizing signal ** by the write-in control circuit 12 -- from the 122nd pixel It is written in buffer memory 11 before the 841st pixel. The effective pixel data written in buffer memory 11 make timing criteria first transition of horizontal synchronizing signal ** of the following line by the read-out control circuit 13, and are from the 1st pixel. It is read to before the 720th pixel. It is from the 1st pixel, using first transition of horizontal synchronizing signal ** as timing criteria about the effective pixel data read from buffer memory 11 in the television-signal-processing circuit 33. Predetermined digital signal processing is performed before the 720th pixel.

[0020] Here, when an one-line period is changed **2% or more by level jitters, such as for example, a VTR regenerative signal, it is drawing 1 (b). (8) Like the line shown (n+6), it is on the basis of the first transition of horizontal synchronizing signal **. From the 122nd pixel It is 720 until before the 841st pixel. It becomes impossible to extract all the effective pixel data. This is the same as usual and it becomes impossible to write all the effective pixel data also in buffer memory 11. However, the effective pixel data before one line remain in the field of this buffer memory 11.

[0021] From the 1st pixel which is the first transition of horizontal synchronizing signal ** of the following line from buffer memory 11 by control of the read-out control circuit 13 on the other hand All the effective pixel data in front of one line can be read to before the 720th pixel. Since it has compensated for the portion by the effective pixel data before two line even when all the effective pixel data are not able to be written in in front of one line at this time, all the effective pixel data can be seemingly sent out to the

television-signal-processing circuit 33.

[0022] By using such buffer memory 11, it is original. The one-line period whose 858 pixels are is a maximum of **16% of level jitter. It becomes short even to 720 pixels, and even when the line which cannot extract all the effective pixels simply arises, the effective pixel data which have not been extracted can be interpolated from the line before it, and it can be coped with. Therefore, the bad influence which it has on other lines can be stopped to the minimum, and signal-processing time can also fully be secured.

[0023] In addition, the read-out start timing from buffer memory 11 can make [many] the permissible amount of level jitters, so that it is close to the first transition of a horizontal synchronizing signal in front of the head effective pixel of the video-signal section.

[0024] Moreover, if a clock more nearly high-speed than a sampling clock performs read-out from buffer memory 11, and signal processing in the television-signal-processing circuit 33 after it, while being able to make [more / still] the permissible amount of level jitters, read-out from buffer memory 11 can also be made to start from the effective pixel section from the first transition of a horizontal synchronizing signal.

[0025] Drawing 2 is drawing showing the composition of the digital television signal processor which realizes invention according to claim 2, and the extraction section and the digital-signal-processing section of an effective pixel. Drawing 2 (a) Setting, the digital television signal processor of this example is the composition equipped with the delay circuit 21 which gives delay to the horizontal synchronizing signal which is conventionally given to the effective pixel extraction circuit 32 and the television-signal-processing circuit 33 in addition to the same analog-to-digital (A/D) conversion circuit 31 as equipment, the effective pixel extraction circuit 32, and the television-signal-processing circuit 33.

[0026] The analog NTSC signal inputted from an input terminal 30 is sampled by 13.5MHz according to the CCIR advice 601, is changed into a digital NTSC signal, and the A/D-conversion circuit 31 sends it out to the effective pixel extraction circuit 32. At this time, the A/D-conversion circuit 31 sends out a horizontal synchronizing signal to the effective pixel extraction circuit 32 and the television-signal-processing circuit 33 through a delay circuit 21 with the sampling clock and a vertical synchronizing signal. The effective pixel extraction circuit 32 operates based on a sampling clock, a vertical synchronizing signal, and the delayed horizontal synchronizing signal, extracts effective pixel data from the digital NTSC signal outputted from the A/D-conversion circuit 31 for every line, and sends them out to the television-signal-processing circuit 33. Based on a sampling clock, a vertical synchronizing signal, and the delayed horizontal synchronizing signal, it operates similarly, and the television-signal-processing circuit 33 also performs predetermined digital signal processing about the effective pixel data outputted from the effective pixel extraction circuit

32, and sends out the picture signal acquired to an output terminal 34.

[0027] Drawing 2 (b) It sets and is (1). The wave of the digital NTSC signal inputted into the effective pixel extraction circuit 32 is shown, and horizontal synchronizing signal [for one line] **, color burst **, video-signal **, and horizontal synchronizing signal ** for the following line are shown. In addition, the total number of pixels within an one-line period is if a sampling clock is set to 13.5MHz. It is 858.

[0028] (2) - (10) shows extraction / processing period of the effective pixel data within the one-line period on the basis of the first transition of the horizontal synchronizing signal of the continuous line by setting a net in the effective pixel extraction circuit 32. here -- a delay circuit 21 -- criteria [first transition / of horizontal synchronizing signal **] -- for example, -- The horizontal synchronizing signal delayed by 121 pixels is generated, and the effective pixel extraction circuit 32 and the television-signal-processing circuit 33 are given. It is from the 1st pixel, using first transition of the delayed horizontal synchronizing signal as timing criteria by this in the effective pixel extraction circuit 32. Even the 720th pixel can be extracted as effective pixel data. It is by the delay circuit 21 about the effective pixel data outputted from the effective pixel extraction circuit 32 in the television-signal-processing circuit 33. It is from the 1st pixel, using as timing criteria first transition of the horizontal synchronizing signal delayed by 121 pixels. Predetermined digital signal processing can be performed before the 720th pixel.

[0029] Here, even when an one-line period is changed **2% or more by level jitters, such as for example, a VTR regenerative signal, it is drawing 2 (b). (8) Like the line shown (n+6), it is at a delay circuit 21. If first transition of the horizontal synchronizing signal delayed by 121 pixels is made into timing criteria, in the effective pixel extraction circuit 32, it will be from the 1st pixel of effective pixel data. All to the 720th pixel can be extracted. however -- for example, -- criteria [horizontal synchronizing signal / before the last effective pixel data extracted as the 720th pixel are delayed by the delay circuit 21] -- then, it means extracting the data in the section of horizontal synchronizing signal ** of the following line

[0030] By delaying a horizontal synchronizing signal by such delay circuit 21, and giving the effective pixel extraction circuit 32 and the television-signal-processing circuit 33, it is original. The one-line period whose 858 pixels are is a maximum of **16% of level jitter. It becomes short even to 720 pixels, and even when the line which cannot extract all the effective pixels simply arises, the effective pixel data which have not been extracted can interpolate from the horizontal synchronizing signal section of the following line, and it can be coped with. Therefore, the bad influence which it has on other lines can be stopped to the minimum, and signal-processing time can also fully be secured. In addition, the amount of delay of a horizontal synchronizing signal is from the first transition of a horizontal

synchronizing signal to the head effective pixel of the video-signal section. The permissible amount of level jitters can be made [many], so that it is close to 121 pixels.

[0031] Moreover, although circuits other than delay circuit 21 explained as a thing without processing delay, it is necessary to add the processing delay in the effective pixel extraction circuit 32 or the television-signal-processing circuit 33 to a horizontal synchronizing signal or a vertical synchronizing signal, and to determine the predetermined amount of delay as them.

[0032] By the way, for convenience, although the television signal was set into the NTSC signal and the sampling clock was set to 13.5MHz in the above explanation, a PAL signal and a SECAM signal can be used as a television signal. Moreover, as a sampling clock, the frequency of 14.3MHz others can be used, for example to an NTSC signal.

[0033]

[Effect of the Invention] As explained above, in invention according to claim 1 By using the buffer memory which buffers the effective pixel data for every Rhine Only by the effective pixel data which have not been extracted being interpolated from the line before it, even when the line which cannot extract all the effective pixels by change of the line period resulting from a level jitter arises The bad influence which it has on other lines can be stopped to the minimum, and the signal-processing time after it can also fully be secured.

[0034] moreover, in invention according to claim 2, about the horizontal synchronizing signal made into the timing criteria of extraction of an effective pixel, or digital signal processing By making it delayed within the horizontal synchronizing signal period from the first transition of the horizontal synchronizing signal inputted to the head effective pixel of the video-signal section Only by the effective pixel data which have not been extracted being interpolated from the horizontal synchronizing signal section of the following line, even when the line which cannot extract all the effective pixels by change of the line period resulting from a level jitter arises The bad influence which it has on other lines can be stopped to the minimum, and signal-processing time can also fully be secured.

[0035] By any case, the permissible amount of level jitters can be sharply expanded compared with **2 conventional%, and can suppress degradation of the picture quality resulting from a level jitter to the minimum.

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the composition of the digital television signal processor which realizes invention according to claim 1, and the extraction section and the digital-signal-processing section of an effective pixel.

[Drawing 2] It is drawing showing the composition of the digital television signal processor which realizes invention according to claim 2, and the extraction section and the

digital-signal-processing section of an effective pixel.

[Drawing 3] It is drawing showing the composition of the conventional digital television signal processor, and the extraction section and the digital-signal-processing section of an effective pixel.

[Description of Notations]

11 Buffer Memory

12 Write-in Control Circuit

13 Read-out Control Circuit

21 Delay Circuit

30 Input Terminal

31 Analog-to-digital (A/D) Conversion Circuit

32 Effective Pixel Extraction Circuit

33 Television-Signal-Processing Circuit

34 Output Terminal